

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-138391

(43) 公開日 平成8年 (1996) 5月31日

(51) Int. Cl. ⁴	識別記号	序内整理番号	F I	技術表示箇所
G 1 1 C 16/06			G 1 1 C 17/00	3 0 9 F
G 0 6 F 12/16	3 1 0 A	7623-5B		

審査請求 未請求 請求項の数 1 O L (全 6 頁)

(21) 出願番号 特願平6-274715
(22) 出願日 平成6年 (1994) 11月9日

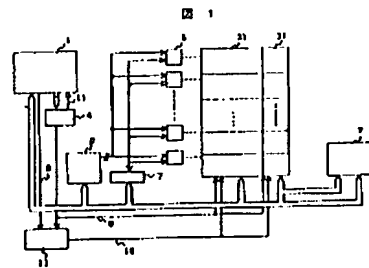
(71) 出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
(71) 出願人 000233240
日立計測エンジニアリング株式会社
312 茨城県ひたちなか市堀口字長久保832番地2
(72) 発明者 渋川 滋
茨城県勝田市大字市毛882番地 株式会社
日立製作所計測器事業部内
(72) 発明者 越後 信幸
茨城県勝田市堀口字長久保832番地2 日立
計測エンジニアリング株式会社内
(74) 代理人 弁理士 小川 勝男

(54) 【発明の名称】 フラッシュメモリ制御方式

(57) 【要約】

【構成】フラッシュメモリのブロック消去時にセットされるブロック消去フラグ5、及びこのフラグの制御を行うフラグセット回路6を設け、その内容をステータスレジスタ7を通し、MPU1から確認できるようにする。

【効果】エラーを検出したフラッシュメモリのブロックが既に書き込み済であるかをMPUから認識できるようになるため、エラー検出時にそれがメモリ自身の異常であるか否かを判断でき、異常解析に有効であり、保守性の向上が図れる。



1...MPU
2...エラーチェック回路
3...フラッシュメモリ (11...データメモリ 12...チェックコードメモリ)
4...アドレスデコーダ
5...ブロック消去フラグ
6...フラグセット回路
7...ステータスレジスタ
8...ブロック消去回路
9...MPUデータバス
10...メモリデータバス
11...データメモリ
12...チェックコードメモリ

【特許請求の範囲】

【請求項1】電気的書き込み／電気的消去が可能な読み出し専用メモリであり、メモリの内容が複数のブロックに分割され、各ブロック単位で消去／書き込み可能なフラッシュメモリと、前記フラッシュメモリに対してデータの読み出し、書き込みを行うマイクロプロセッサユニット、及び前記マイクロプロセッサユニットが前記フラッシュメモリに対して書き込み／読み出しを行った場合、前記マイクロプロセッサユニットからのフラッシュメモリアクセスの検知を行うアドレスデコーダにより構成されるマイクロコンピュータシステムにおいて、前記フラッシュメモリの構成をプログラム又はデータを記憶しておくためのデータ領域と、前記データ領域に記憶されている内容に従って決定されるチェックコードを記憶するためのチェックコード領域の二つによる構成とするとともに、フラッシュメモリのブロック消去を行った場合、ブロック消去済であり、前記フラッシュメモリに格納されているデータが無効であることを示すブロック消去フラグをブロック毎に設け、その内容を前記マイクロプロセッサユニットが認識できるブロック消去レジスタ機構を設けることで、前記フラッシュメモリの状態を管理できるようにすると共に、前記チェックコードによるエラーチェック機能を有効に活用できるようにしたことを特徴とするフラッシュメモリ制御方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、フラッシュメモリを記憶装置とするコンピュータシステムにおいて、エラーチェックビット記憶用の領域を持つフラッシュメモリ制御方式に関する。

【0002】

【従来の技術】フラッシュメモリは、その内容の書き込み／消去に専用の治具を必要とせず、プリント基板に実装した状態で内容の書き込み／消去が電気的に行える読み出し専用メモリ（Read Only Memory：ROM）である。従来のEEPROM（Electrically Erasable and Programmable Read Only Memory）に比べ、メモリセルの構造が単純であるため、高集積化／大容量化が可能である。このことから、小型のコンピュータシステムにおいて、フロッピーディスクやハードディスクの代用等として広く使用されるようになってきている。

【0003】フラッシュメモリ3を記憶装置として用いたコンピュータシステムの例を図2に示す。この図に示す装置は、フラッシュメモリからプログラム又はデータを読み出し処理を実行すると共に、フラッシュメモリに対する書き込みを行うマイクロプロセッサユニット（以下MPU）1、フラッシュメモリからデータを読み出す際、チェックビットと照合しそのデータが適正であるかを検出するエラーチェック回路2、及びMPUのフラッシュメモリへのデータ書き込み時に、書き込みタイミング

を作り出すメモリ書き込み制御回路12、及びアドレスデコーダにより構成される。現在、市販されているフラッシュメモリの多くは、メモリを複数のブロックに分割し、各ブロック単位で内容の一括消去を行い、その後、消去したブロックに対してデータの書き込みを行う方式であり、データ（又はチェックビット）の消去／書き込みは、MPUのプログラムによりメモリに対し、コマンドを入力することで実行される。フラッシュメモリに対し、ブロック消去／書き込みを行う場合、MPUはアドレスバス上にメモリがマッピングされている空間のアドレスを出力すると共にデータ書き込みコマンドの第一番目のパラメータを出力する。アドレスデコーダ4は、アドレスバス上の信号により、フラッシュメモリが選択されたことを認識すると、メモリ書き込み制御回路に対してアクセス信号8を出力し、アクセス開始を知らせる。アクセス信号を受けたメモリ書き込み制御回路は、MPUからのMPU書き込み信号9を確認し、フラッシュメモリへの書き込みであると認識したならば、メモリ書き込み信号10を出力する。そして、書き込み実行後、メモリ書き込み制御回路はメモリ書き込み信号の出力を停止すると共に、バス応答信号11により、1回のアクセスが終了したことをMPUに報告する。これらの動作を繰り返し、フラッシュメモリに対して必要なコマンドの書き込み動作を行う事により、ブロックの消去／書き込みは終了する。

【0004】MPUからのコマンド入力により書き込まれたデータ、及びチェックビットはメモリからデータを読み出す際に両方一緒に読み出され、エラーチェック回路にて照合されることとなる。

30 【0005】

【発明が解決しようとする課題】フラッシュメモリは、製造プロセスの微細化／高密度大容量化にともない、外部の放射線、磁界、電界等各種外乱の影響を受けやすくなっており、ソフトエラー発生頻度が多くなることが予想される。そのため、ソフトエラーによるシステムダウンを最小限におさえ、信頼性の高いコンピュータシステムを構築するためには、パリティチェックやECC

（Error Check and Correct）等のメモリチェック機構の付加が必要不可欠なものとなってくる。これらのメモリチェック機構では、チェック用のビットをデータ格納用の領域とは別に設け、データバス上のデータの内容によってチェックビットを自動生成し、データと一緒に書き込む。そして、メモリの読み出し時にデータ部とチェックビット部を照合し、もしその内容が不適合であればデータエラーとしてMPUに報告する。

【0006】フラッシュメモリの消去は、数十バイトから数百バイトのブロック単位で実行されるものが多数を占めており、データを書き込む際には、一旦、一つのブロックを消去した後、そのブロック全域に対しデータの書き込みを行わなければならない。そのため、フラッシュ

メモリをチェックビット付きの構成とした場合、もし誤ってデータ消去後、書き込みが行われていないブロックに対しデータ読み出しを行った場合、データ部とチェックビットとの不適合が発生し、データエラーと判定されることとなる。そのような場合、そのデータエラーがメモリアクセスを誤ったために発生したものか、本当にメモリエラーが発生した物であるかを判断するのが非常に困難となる。

【0007】

【課題を解決するための手段】以上の問題点を解決するため本発明はフラッシュメモリからのデータ読み出し時のエラー検出時に、そのエラー発生要因の識別を容易に行えるようにすることで、メモリの信頼性/保守性の向上を図る。

【0008】本発明におけるフラッシュメモリ管理方式を図1に示す。本発明は、フラッシュメモリ3に対するデータの読み出し/書き込みは、MPU1によって実行される。フラッシュメモリからデータを読み出し制御部は、フラッシュメモリアクセスの検知を行うアドレスデコーダ4、データ記憶部31から読み出された内容と、チェックコード記憶部32から読み出された内容とを照合し、データ異常の有無をチェックするエラーチェック回路2により構成される。一方、フラッシュメモリの消去/未書き込みといった状態の管理は、ブロック消去フラグ5、フラグセット回路6、及びステータスレジスタ7により行われる。

【0009】フラッシュメモリのブロック消去を行う場合、MPUはフラッシュメモリに対してブロック消去のコマンド、及び消去するブロックを指定するパラメータを書き込むことにより実行する。メモリアクセスを検出したアドレスデコーダは、アクセス信号8によって、フラッシュメモリに対するメモリアクセスを指定する。このメモリアクセス信号と、MPUからのMPU書き込み信号9により、メモリ書き込み制御回路12が書き込みアクセスであると判断すると、メモリ書き込み制御回路はメモリ書き込み信号10を出力し、書き込みを実行する。そして、1回のメモリアクセスサイクル終了時に、MPUに対してバス応答信号11で応答する。この際、フラグセット回路はアクセス信号とMPUからのMPU書き込み信号、及び書き込まれるデータの内容により、このメモリアクセスがブロック消去であると認識すると、ブロック消去フラグセットの待機状態に移行する。そして、続いて消去するブロックが指定されると、各ブロック毎に付加されているブロック消去フラグ中、消去を指定したブロックのセットを行う。ブロック消去フラグの内容は、ステータスレジスタを通してMPUが認識することが可能であり、それによってどのブロックの消去が現在行われているのかを知ることができる。MPUは、メモリの消去後、そのブロックに対しデータを書き込み、1ブロック全域に対し書き込みが完了した時点

で、ステータスレジスタを通じてフラグのクリアを実行する。

【0010】この機構を設けることにより、一ブロックに対し、データの書き込みが完了していない状態で、そのブロックに対しデータの読み出しアクセスを誤って実行し、メモリエラーが発生したとしても、MPUのエラー処理の中でそのエラーがMPUの処理の不具合に起因するものか、あるいは本当に発生したメモリエラーであるのかを識別が可能となるため、エラー解析の際、有効でありこれによってメモリの保守性の向上が図れる。

【0011】

【作用】本発明において、フラッシュメモリ3に対するデータの読み出し、書き込み、及びブロック消去といった制御は、MPU1によって実行される。データをフラッシュメモリから読み出す場合、MPUはフラッシュメモリ中の指定アドレスを出力しアクセスを開始する。MPUからの指定アドレスを受けたアドレスデコーダ4は、アドレス指定がフラッシュメモリであると判断すると、データ記憶部31とチェックコード記憶部32からデータを読み出し、これをエラーチェック回路2で照合し、データ異常の有無のチェックを行う。その結果、データとチェックコードとの間に不適合があった場合、データ異常としてMPUに報告する。データの読み出しを行った場合、そのブロックのフラッシュメモリの内容が有効であるか否かの状態管理は、ブロック消去フラグ5、フラグセット回路6、及びステータスレジスタ7により行われる。

【0012】フラッシュメモリのブロック消去は、MPUはフラッシュメモリに対してブロック消去のコマンド、及び消去するブロックを指定するパラメータをフラッシュメモリに対して書き込むといったプロトコルを行うことにより実行される。メモリアクセスを検出したアドレスデコーダは、アクセス信号8によって、フラッシュメモリに対するメモリアクセスを指定する。このメモリアクセス信号と、MPUからのMPU書き込み信号9により、メモリ書き込み制御回路12が書き込みアクセスであると判断すると、メモリ書き込み制御回路はメモリ書き込み信号10を出力し書き込みを実行する。そして、1回のメモリアクセスサイクル終了時に、バス応答信号11をMPUに対して応答する。この際、フラグセット回路はアクセス信号とMPUからのMPU書き込み信号、及び書き込まれるデータの内容により、この書き込みメモリアクセスがブロック消去であると認識すると、ブロック消去フラグセットの待機状態に移行し、フラグセットを行う準備状態となる。この待機状態となった後に、続いて消去するブロックを指定する情報が指定されると、この情報に従って各ブロック毎に付加されているブロック消去フラグ中、消去を行うブロックに該当するフラグのセットを行う。ブロック消去フラグの内容は、ステータスレジスタを通してMPUが認識すること

が可能であり、それによってどのブロックの消去が現在、行われているのかを知ることができる。MPUは、メモリのブロック消去後、そのブロックに対しフラッシュメモリの書き込みプロトコルに従いデータ、及びチェックコードの書き込みを行い、消去を行ったブロック全域に対し書き込みが完了した時点で、ステータスレジスタを通じてブロック消去フラグのクリアを実行し、そのブロック内のデータ有効（書き込み済）の状態とする。

【0013】もし、消去後、まだ書き込みが完了していないブロックに対してMPUが読み出しアクセスを行った場合、データとチェックコードとの間で、内容の不適合が発生するためデータエラーが発生する。しかし、この機構を設けることにより、データエラー検出時にその発生要因が1ブロックに対し、データの書き込みが完了していない状態で、そのブロックに対しデータの読み出しアクセスを誤って実行した結果によるものか（MPUソフトウェアの異常）、本当のメモリエラー（ハードウェア異常）によるものであるかをMPUのメモリエラー処理の中で識別が可能となるため、エラー解析の際、有効である。これによってメモリの保守性の向上が図れる。

【0014】

【実施例】本発明によるフラッシュメモリ書き込み方式の一実施例を図3のブロック図により説明する。

【0015】本実施例において、MPU1はフラッシュメモリ3に格納されているプログラム、又はデータを読み込み、その内容を使用して処理を行う。フラッシュメモリの内容消去／書き込みは、プログラムバージョンアップ時にMPUによって実行される。書き込みにあたっては、フラッシュメモリのデータ記憶部31とチェックコード記憶部32とは独立して行われる。メモリアクセスを検出したアドレスデコーダは、アクセス信号8によって、フラッシュメモリに対するメモリアクセスを指定する。このメモリアクセス信号と、MPUからのMPU書き込み信号9により、メモリ書き込み制御回路12が書き込みアクセスであると判断すると、メモリ書き込み制御回路はメモリ書き込み信号を出力し書き込みを実行する。データ記憶部への書き込みを行う場合、書き込み制御レジスタ13によりデータ記憶部書き込みモードを指定することにより、フラッシュメモリの書き込み信号がデータ記憶部に対してのみ書き込み信号15出力される状態となるため、この状態で書き込みコマンドの書き込みなどのプロトコルを実行し、書き込みが実行される。又、同様にチェックコード記憶部に対して書き込みを行う場合には、書き込み制御レジスタによりチェックコード記憶部書き込みモードを指定した後、MPUで計算を行ったチェックコードを書き込むことで、チェックコード記憶部に対してのみ書き込み信号16が出力される。尚、1回のメモリアクセスサイクルに対し、バス応答信号11が応答される。

【0016】データをフラッシュメモリから読み出す場合、MPUはフラッシュメモリ中の指定アドレスを出力しアクセスを開始する。MPUからの指定アドレスを受けたアドレスデコーダ4は、アドレス指定がフラッシュメモリであると判断すると、データ記憶部とチェックコード記憶部から、上記の手順で書き込みが行われた内容を同時に読み出し、これをエラーチェック回路2で照合し、データ異常の有無のチェックを行う。その結果、データとチェックコードとの間に不適合があった場合、バス応答信号と共にデータエラー信号14が応答され、データ異常としてMPUに報告される。

【0017】フラッシュメモリのブロック消去は、MPUはフラッシュメモリに対してブロック消去のコマンド、及び消去するブロックを指定するパラメータをフラッシュメモリに対して書き込むといったプロトコルを行うことにより実行される。書き込み動作に関しては、データの書き込み時と同様であるが、書き込み制御レジスタによりブロック消去モードを指定することによって、データ記憶部とチェックコード記憶部の両方に対してメモリ書き込み信号が出力されるようになるため、データ、チェックコードの両方が同時に消去できる。フラグセット回路6は書き込み制御レジスタによりブロック消去であると認識すると、ブロック消去フラグセットの待機状態に移行し、メモリ書き込み信号の出力回数をカウンタ待ちの状態となる。この待機状態となった後に、メモリ書き込み信号の回数が消去ブロック指定のパラメータの書き込みを示す状態となった場合、この情報に従って各ブロック毎に付加されているブロック消去フラグ5中、消去を行うブロックに該当するフラグのセットを行う。ブロック消去フラグがセットされた場合、その内容は、ステータスレジスタ7を通してMPUが読み出すことが可能であり（消去されたブロックのビットは、1を示す）、それによってどのブロックの消去が現在、行われているのかを知ることができる。MPUは、メモリのブロック消去後、そのブロックに対しフラッシュメモリの書き込みプロトコルに従いデータ、及びチェックコードの書き込みを行い、ブロックに対し書き込みが完了した時点で、ステータスレジスタ中の該当ビットに1を書き込む。それによってブロック消去フラグの内容はクリアされ、その時点でブロック内のデータは有効（書き込み済）となる。

【0018】もし、消去後、まだ書き込みが完了していないブロックに対してMPUが読み出しアクセスを行った場合、データとチェックコードとの間で、内容の不適合が発生するためデータエラー信号が出力され、データエラー検出となる。しかし、MPUのエラー処理において、ステータスレジスタの内容と、エラーを検出したフラッシュメモリのアドレスを照合することにより、データの書き込みが完了していない状態で、そのブロックに対しデータの読み出しアクセスを誤って実行した結

7

果によるものか（MPUソフトウェアの異常）、本当のメモリエラー（ハードウェア異常）によるものであるかをMPUのメモリエラー処理の中で識別が可能となる。

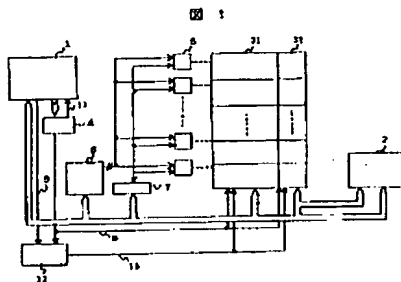
【0019】

【発明の効果】本発明により、アクセスしたフラッシュメモリのブロックが既書き込み済であるかをMPUから認識できるようになるため、検出したエラーがメモリ自身の異常であるか否かを判断できるようになるため、異常解析に有効であり、保守性の向上が図れる。

【図面の簡単な説明】

【図1】本発明によるフラッシュメモリを用いたコンピュータシステムのブロック図。

【図1】



- 1…MPU
2…エラーチェック回路
3…フラッシュメモリ (31…データ記憶部 32…チェックコード記憶部)
4…アドレスデコーダ
5…ブロック消去フラグ
6…フラグセット回路
7…ステータスレジスタ
8…アクセス信号
9…MPU書き込み信号
10…メモリ書き込み信号
11…バス応答信号
12…メモリ読み込み信号

8

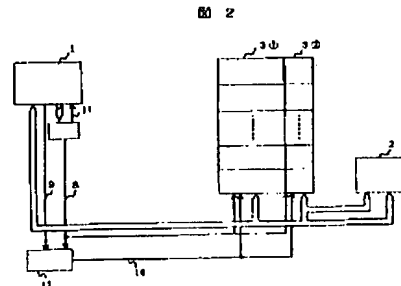
【図2】従来技術によるフラッシュメモリを用いたコンピュータシステムのブロック図。

【図3】実施例におけるフラッシュメモリを用いたコンピュータシステムのブロック図。

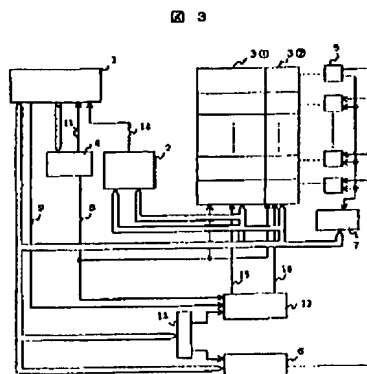
【符号の説明】

- 1…MPU、2…エラーチェック回路、3…フラッシュメモリ、4…アドレスデコーダ、5…ブロック消去フラグ、6…フラグセット回路、7…ステータスレジスタ、8…アクセス信号、9…MPU書き込み信号、10…メモリ書き込み信号、11…バス応答信号、12…メモリ書き込み制御回路。

【図2】



【図3】



- 13…書き込み制御レジスタ
- 14…データ形式番号
- 15…データ読出書き込みの倍率
- 16…チェックコード読出読出の倍率